

Docket No.: 67161-094

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masakazu HIROSE, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 03, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

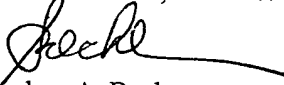
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. JP2003-109116, filed on April 14, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: September 3, 2003

67161-094

Masakazu HIROSE et al.

September 3, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月14日

出 願 番 号

Application Number:

特願2003-109116

[ST.10/C]:

[JP 2003-109116]

出 願 人

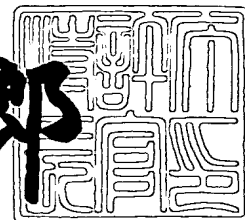
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047211

【書類名】 特許願

【整理番号】 542741JP01

【提出日】 平成15年 4月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 兵庫県伊丹市萩野 1 丁目 1 3 2 番地 大王電機株式会社
内

【氏名】 廣瀬 正和

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 森下 玄

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板の上に絶縁層を介在させたチャンネル層を備え、このチャンネル層に電界効果トランジスタを含む半導体回路が設けられる半導体装置であって、

前記チャンネル層と前記半導体基板との間に設けられ、前記絶縁層を構成する第 1 絶縁層および第 2 絶縁層と、

前記第 1 絶縁層と前記第 2 絶縁層との間に設けられる電位配線層と、を備え、

前記電位配線層は、平面的に見て層間絶縁層を介在させながら、それぞれ交互に配設される電源電位領域および接地電位領域を含み、選択された電源電位領域および接地電位領域は、選択された前記電界効果トランジスタに電氣的に接続されていることを特徴とする、半導体装置。

【請求項 2】 前記電位配線層は、前記第 1 絶縁層と前記第 2 絶縁層とに直接接するように設けられる、請求項 1 に記載の半導体装置。

【請求項 3】 前記電位配線層は、前記第 1 絶縁層の上に設けられる第 1 電位配線層と、前記第 1 電位配線層の上に設けられる第 2 電位配線層とを含み、

前記第 1 電位配線層と前記第 2 電位配線層との間には、誘電体層が設けられ、

前記第 1 電位配線層には、前記電源電位領域および前記接地電位領域のいずれか一方が設けられ、前記第 2 電位配線層には、前記電源電位領域および前記接地電位領域のいずれか他方が設けられ、平面的に見て前記電源電位領域および前記接地電位領域はそれぞれ交互に配設されている、請求項 1 に記載の半導体装置。

【請求項 4】 前記電位配線層は、前記第 1 絶縁層の上に設けられる第 1 電位配線層と、前記第 1 電位配線層の上に設けられる第 2 電位配線層とを含み、

前記第 1 電位配線層と前記第 2 電位配線層との間には、誘電体層が設けられ、

前記第 1 電位配線層および前記第 2 電位配線層には、それぞれ前記電源電位領域および前記接地電位領域が平面的に見て層間絶縁層を介在させながら交互に配設され、

前記第 1 電位配線層に配設される前記電源電位領域および前記接地電位領域の

延びる方向と、前記第 2 電位配線層に配設される前記電源電位領域および前記接地電位領域の延びる方向とが交差するように設けられる、請求項 1 に記載の半導体装置。

【請求項 5】 前記チャネル層と前記第 2 絶縁層との間において、
前記第 2 絶縁層の上に設けられる電源層と、
前記電源層の上に設けられる第 3 絶縁層とをさらに備え、
前記チャネル層に設けられ、前記電界効果トランジスタのチャネル領域を含むボディ領域が、前記電源層と接続している、請求項 1 から 4 のいずれかに記載の、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、より特定的には、SOI (Silicon On Insulator) 構造を備える半導体装置に関する。

【0002】

【従来の技術】

近年、一つの半導体基板上に複数の半導体集積回路（たとえば、メモリ、システムLSI）を構成するようなデバイスが作られるようになってきている。このようなデバイスでは、少数の電源電位ピン／接地電位ピンで、一つの半導体基板上に複数に構成された半導体集積回路を共有することがある。なお、電源電位ピン／接地電位ピンを設ける構造を開示する特許文献として下記のもの挙げられる。

【0003】

【特許文献 1】

特開 2 0 0 1 - 1 2 7 3 0 0 号公報

【0004】

【特許文献 2】

特開 2 0 0 1 - 1 7 7 0 9 8 号公報

【0005】

【特許文献 3】

特開平 0 8 - 0 5 5 9 8 9 号公報

【0 0 0 6】

【特許文献 4】

特開平 0 8 - 3 3 0 5 4 6 号公報

【0 0 0 7】

【特許文献 5】

特開平 0 8 - 2 9 8 2 8 5 号公報

【0 0 0 8】

【特許文献 6】

特開平 0 7 - 2 9 7 1 8 8 号公報

【0 0 0 9】

【発明が解決しようとする課題】

しかしながら、電源電位および接地電位がデバイス内部で電位が低下することにより、電源電位ノイズおよび接地電位ノイズによる悪影響を受けやすくなり、半導体装置全体として、電気特性が悪化することが考えられる。各デバイス間を接続する信号線（たとえば、データバス）の配線面積が大きいために、電源電位配線および接地電位配線の断面面積を太くして（大きくして）、配線抵抗を下げることは困難である。また、DRAM (Dynamic Random Access Memory) セルのように大きな段差が存在するようなデバイスでは、トランジスタの上層にメタル配線を多層に配線するには限界がある。

【0 0 1 0】

したがって、この発明は上記課題を解決するためになされたものであり、複数の半導体回路を備える半導体装置において、半導体装置の断面構造に関係なく、電源電位および接地電位の強化を可能とする、半導体装置を提供することにある。

【0 0 1 1】

【課題を解決するための手段】

本発明に基づいた半導体装置においては、半導体基板の上に絶縁層を介在させ

たチャンネル層を備え、このチャンネル層に電界効果トランジスタを含む半導体回路が設けられる半導体装置であって、以下の特徴を有する。

【 0 0 1 2 】

上記チャンネル層と上記半導体基板との間に設けられ、上記絶縁層を構成する第 1 絶縁層および第 2 絶縁層と、上記第 1 絶縁層と上記第 2 絶縁層との間に設けられる電位配線層とを備える。さらに、上記電位配線層は、平面的に見て層間絶縁層を介在させながら、それぞれ交互に所定の間隔を隔てて配設される電源電位領域および接地電位領域を含み、選択された電源電位領域および接地電位領域は、選択された上記電界効果トランジスタに電氣的に接続されている。

【 0 0 1 3 】

上記半導体装置の構成によれば、電源電位領域および接地電位領域を電界効果トランジスタの積層方向に関係のない反対方向（下方向）に設けていることから、電源電位領域および接地電位領域に段差を生じさせることを回避することが可能になる。その結果、電源電位領域および接地電位領域の配線抵抗の低下が図られ、半導体装置の電気特性の安定化を図ることが可能になる。

【 0 0 1 4 】

また、上記半導体装置の構成によれば、電源電位領域および接地電位領域が平面的に見て層間絶縁層を介在させながら、それぞれ交互に所定の間隔を隔てて配設されていることから、電源電位領域と接地電位領域との間に、寄生容量（カップリングコンデンサ）を形成させることが可能になる。その結果、外乱因子に対して、この寄生容量をデカップリングコンデンサとして機能させることが可能になり、さらなる電源供給の安定化を図ることが可能になる。

【 0 0 1 5 】

【発明の実施の形態】

以下、この発明に基づいた各実施の形態における半導体装置について、図を参照して説明する。

【 0 0 1 6 】

（実施の形態 1）

図 1 から図 7 を参照して、実施の形態 1 における半導体装置 1 0 0 およびその

製造方法について説明する。なお、図 1 は、本実施の形態における半導体装置 100 の構造を示す断面図であり、図 2 は、図 1 中 I I - I I 線矢視断面図である。また、図 3 ~ 図 7 は、本実施の形態における半導体装置 100 の製造方法を示す、第 1 ~ 第 5 製造工程を示す製造工程断面図である。

【0017】

(半導体装置 100 の構造)

まず、図 1 を参照して、本実施の形態における半導体装置 100 の構造について説明する。この半導体装置 100 は、Si 基板 11A の上に、第 1 絶縁層 12 が設けられ、この第 1 絶縁層 12 の上に、電位配線層 13 が直接設けられ、この電位配線層 13 の上に第 2 絶縁層 14 が直接設けられ、さらに、この第 2 絶縁層 14 の上にチャネル層 16 が設けられている。

【0018】

チャネル層 16 には、電界効果トランジスタを構成するソース／ドレイン (S/D) 領域 16a が、所定の間隔を隔てて設けられ、ソース／ドレイン (S/D) 領域 16a、16b によって挟まれるチャネル領域が形成されるボディ領域 19 の上には、ゲート絶縁膜 17 を介在して、ゲート電極 18 が設けられている。なお、2 つの電界効果トランジスタは、分離領域 20 により分離されている。説明の便宜状、2 つの電界効果トランジスタを開示しているが、半導体回路においては、多くの電界効果トランジスタが設けられている。

【0019】

電位配線層 13 には、図 2 に示すように、平面的に見て層間絶縁層 13c を介在させながら、それぞれ交互に所定の間隔を隔てて配設され、メタル配線からなる電源電位領域 13a および接地電位領域 13b が複数設けられている。本実施の形態におては、電源電位領域 13a および接地電位領域 13b は、ゲート電極 18 が延びる方向と同じ方向に延びる場合を示しているが、この方向にのみ限定されるものではない。

【0020】

また、選択された電界効果トランジスタの一方のソース／ドレイン (S/D) 領域 16a と、選択された電源電位領域 13a とを電氣的に接続するために、第

2絶縁層14を貫通するコンタクトプラグ15aが設けられ、同様に、選択された電界効果トランジスタの他方のソース／ドレイン（S／D）領域16bと、選択された接地電位領域13bとを電氣的に接続するために、第2絶縁層14を貫通するコンタクトプラグ15bが設けられている。

【0021】

なお、電源電位領域13aおよび接地電位領域13bのメタル配線の幅は、約 $1.0\mu\text{m}$ ～約 $10.0\mu\text{m}$ 程度、配置ピッチ（層間絶縁層13cの幅）は、約 $1.0\mu\text{m}$ ～約 $10.0\mu\text{m}$ 程度に設けられる。

【0022】

（半導体装置100の製造方法）

次に、上記構成からなる半導体装置100の製造方法について、図3～図7を参照して説明する。

【0023】

図3を参照して、シリコン基板11Bを準備し、このシリコン基板11Bの表面に、酸化膜からなる厚さ約 $0.1\mu\text{m}$ ～約 $1.0\mu\text{m}$ 程度の第2絶縁層14を形成する。その後、第2絶縁層14の所定領域に、コンタクトプラグ15a、15bを形成する。

【0024】

図4を参照して、第2絶縁層14の表面に、厚さ約 $0.1\mu\text{m}$ ～約 $1.0\mu\text{m}$ 程度のシリコン酸化膜等からなる電位配線層13を形成する。その後、電位配線層13の所定領域に、平面的に見て層間絶縁層13cを介在させながら、それぞれ交互に所定の間隔を隔てて配設される、金属配線層からなる電源電位領域13aおよび接地電位領域13bを形成する。

【0025】

図5を参照して、電位配線層13、電源電位領域13aおよび接地電位領域13bの表面に、厚さ約 $0.1\mu\text{m}$ ～約 $1.0\mu\text{m}$ 程度の第1絶縁層12を形成する。その後、図6を参照して、シリコン基板11Bの天地を逆転させて、第1絶縁層12の表面に、シリコン基板11Aを貼り合せる。

【0026】

図7を参照して、シリコン基板11Bの表面から所定厚さの領域を剥離させ、厚さ約 $0.05\mu\text{m}$ ～約 $0.2\mu\text{m}$ 程度のシリコン基板16とする。その後、このシリコン基板をチャネル層16として、電界効果トランジスタを構成するソース／ドレイン（S／D）領域16a、16b、ゲート絶縁膜17、およびゲート電極18を形成することにより、図1に示す半導体装置100が完成する。

【0027】

（作用・効果）

以上、本実施の形態における半導体装置100の構成によれば、電源電位領域13aおよび接地電位領域13bを電界効果トランジスタの積層方向に関係のない反対方向である、第2絶縁層14（埋め込み酸化膜）の下方側に設けていることから、電源電位領域13aおよび接地電位領域13bに段差を生じさせることがなくなる。その結果、電源電位領域および接地電位領域の配線抵抗の低下が図られ、半導体装置100の電気特性の安定化を図ることが可能になる。

【0028】

また、電源電位領域13aおよび接地電位領域13bが平面的に見てそれぞれ交互に所定の間隔を隔てて配設されていることから、電源電位領域13aと接地電位領域13bとの間に、寄生容量（カップリングコンデンサ）C（図2参照）を形成させることが可能になる。その結果、外乱因子（たとえば、回路が動作することによる電源電位ノイズ／接地電位ノイズ等）に対して、この寄生容量をデカップリングコンデンサとして機能させることが可能になり、さらなる電源供給の安定化を図ることが可能になる。

【0029】

（実施の形態2）

次に、図8から図13を参照して、実施の形態2における半導体装置200およびその製造方法について説明する。なお、図8は、本実施の形態における半導体装置200の構造を示す断面図であり、図9は、図8中IX-IX線矢視断面図である。また、図10～図13は、本実施の形態における半導体装置200の製造方法を示す、第1～第4製造工程を示す製造工程断面図である。

【0030】

なお、以下の説明において、上記実施の形態 1 に示す半導体装置 1 0 0 と同一または相当部分については、同一の参照符号を付すことにより重複する説明は繰返さず、本実施の形態の特徴的部分についてのみ詳細に説明する。

【0031】

(半導体装置 2 0 0 の構造)

図 8 を参照して、本実施の形態における半導体装置 2 0 0 は、第 1 絶縁層 1 2 と第 2 絶縁層 1 4 との間の構造が、上記実施の形態 1 における半導体装置 1 0 0 と異なっている。具体的には、第 1 絶縁層 1 2 の上に、第 1 電位配線層 1 3 A が設けられ、この第 1 電位配線層 1 3 A の上に誘電体層 2 1 が設けられ、さらに誘電体層 2 1 の上に第 2 電位配線層 1 3 B が設けられ、この第 2 電位配線層 1 3 B の上に、第 2 絶縁層 1 4 が設けられている。

【0032】

また、第 1 電位配線層 1 3 A には、メタル配線からなる電源電位領域 1 3 a が設けられ、第 2 電位配線層 1 3 B には、メタル配線からなる接地電位領域 1 3 b が設けられている。平面的に見た場合には、図 9 に示すように、上記実施の形態 1 の場合と同様に、電源電位領域 1 3 a および接地電位領域 1 3 b はそれぞれ交互に配設されることになる。また、電源電位領域 1 3 a および接地電位領域 1 3 b の幅、配置ピッチ、不純物濃度は、上記実施の形態 1 の場合と同様である。

【0033】

なお、第 1 電位配線層 1 3 A に接地電位領域 1 3 b を設け、第 2 電位配線層 1 3 B に電源電位領域 1 3 a を設ける場合について図示しているが、第 1 電位配線層 1 3 A に電源電位領域 1 3 a を設け、第 2 電位配線層 1 3 B に接地電位領域 1 3 b を設けることも可能である。また、第 1 電位配線層 1 3 A と接地電位領域 1 3 b との間に誘電体層 2 1 を設けることにより、第 1 電位配線層 1 3 A および接地電位領域 1 3 b を複数層設けることも可能である。

【0034】

(半導体装置 2 0 0 の製造方法)

次に、上記構成からなる半導体装置 2 0 0 の製造方法について、図 1 0 ～図 1 3 を参照して説明する。なお、特に示さない限り、膜厚さ等は上記実施の形態 1

と同様である。

【 0 0 3 5 】

図 1 0 を参照して、シリコン基板 1 1 B を準備し、このシリコン基板 1 1 B の表面に、酸化膜からなる第 2 絶縁層 1 4 を形成する。その後、第 2 絶縁層 1 4 の所定領域に、コンタクトプラグ 1 5 a を形成する。

【 0 0 3 6 】

図 1 1 を参照して、第 2 絶縁層 1 4 の表面に、第 2 電位配線層 1 3 B を形成する。その後、第 2 電位配線層 1 3 B の所定領域に、所定の間隔を隔てて配設される、電源電位領域 1 3 a を形成する。

【 0 0 3 7 】

図 1 2 を参照して、第 2 電位配線層 1 3 B の表面に、厚さ約 $0.1 \mu\text{m}$ ～ 約 $1.0 \mu\text{m}$ 程度の誘電体層 2 1 を形成する。その後、誘電体層 2 1、第 2 電位配線層 1 3 B、および第 2 絶縁層 1 4 に、シリコン基板 1 1 B の所定領域に通じるコンタクトプラグ 1 5 b を形成する。なお、コンタクトプラグ 1 5 b と第 2 電位配線層 1 3 B との間の導通が問題となる場合には、コンタクトプラグ 1 5 b を取囲むように絶縁層を形成する。

【 0 0 3 8 】

図 1 3 を参照して、誘電体層 2 1 の表面に、第 1 電位配線層 1 3 A を形成する。その後、第 1 電位配線層 1 3 A の所定領域に、所定の間隔を隔てて配設される、電源電位領域 1 3 b を形成する。その後、上記実施の形態 1 と同様の工程を採用することにより、図 8 に示す半導体装置 2 0 0 が完成する。

【 0 0 3 9 】

(作用・効果)

以上、本実施の形態における半導体装置 2 0 0 の構成によっても、上記実施の形態 1 の場合と同じ作用効果を得ることが可能になる。

【 0 0 4 0 】

さらに、本実施の形態においては、第 1 電位配線層 1 3 A と第 2 電位配線層 1 3 B との間に誘電体層 2 1 を設けることにより、電源電位領域 1 3 a と接地電位領域 1 3 b との間の寄生容量 (カップリングコンデンサ) を大きくすることがで

きる。その結果、この寄生容量におけるデカップリングコンデンサの機能の強化を図ることが可能になる。

【 0 0 4 1 】

（実施の形態 3）

次に、図 1 4 および図 1 5 を参照して、実施の形態 3 における半導体装置 3 0 0 について説明する。なお、図 1 4 は、本実施の形態における半導体装置 3 0 0 の構造を示す断面図であり、図 1 5 は、図 1 4 中 X V - X V 線矢視断面図である。

【 0 0 4 2 】

なお、以下の説明において、上記実施の形態 1 および 2 に示す半導体装置 1 0 0, 2 0 0 と同一または相当部分については、同一の参照符号を付すことにより重複する説明は繰返さず、本実施の形態の特徴的部分についてのみ詳細に説明する。

【 0 0 4 3 】

（半導体装置 3 0 0 の構造）

図 1 4 を参照して、本実施の形態における半導体装置 3 0 0 は、基本的構造は上記実施の形態 2 において示した半導体装置 2 0 0 と同じであり、相違点は、第 1 電位配線層 1 3 A および第 2 電位配線層 1 3 B のいずれにも、電源電位領域 1 3 a および接地電位領域 1 3 b が平面的に見て交互に配設されている点にある。

【 0 0 4 4 】

また、図 1 5 に示すように、第 1 電位配線層 1 3 A に配設される電源電位領域 1 3 a および接地電位領域 1 3 b の延びる方向と、第 2 電位配線層 1 3 B に配設される電源電位領域 1 3 a および接地電位領域 1 3 b の延びる方向とが交差するように設けられており、具体的には、第 1 電位配線層 1 3 A に配設される電源電位領域 1 3 a および接地電位領域 1 3 b の延びる方向は、ゲート電極 1 8 が延びる方向と同じ方向となるように設けられ、第 2 電位配線層 1 3 B に配設される電源電位領域 1 3 a および接地電位領域 1 3 b の延びる方向は、ゲート電極 1 8 が延びる方向に対して直交する方向と同じ方向となるように設けられている。なお、上下方向に位置する電源電位領域 1 3 a の間、および、接地電位領域 1 3 b の

間は、適宜所定の領域においてコンタクトプラグ 31 により連結されている。

【0045】

なお、第1電位配線層 13Aと接地電位領域 13bとの間に誘電体層 21を設けることにより、第1電位配線層 13Aおよび接地電位領域 13bを複数層設けることも可能である。

【0046】

上記構成からなる半導体装置 300の製造方法については、上記実施の形態2において説明した半導体装置 200の製造方法と同様にして製造することが可能である。

【0047】

(作用・効果)

以上、本実施の形態における半導体装置 300の構成によっても、上記実施の形態2の場合と同じ作用効果を得ることが可能になる。さらに、本実施の形態においては、第1電位配線層 13Aと第2電位配線層 13Bとの間においても、図 15に示すように、電源電位領域 13aと接地電位領域 13bとの間の寄生容量(カップリングコンデンサ)を生じさせることが可能になるため、寄生容量を増大させることができ、さらなるデカップリングコンデンサとしての機能の強化を図ることが可能になる。

【0048】

ここで、上述した実施の形態1～3に示す半導体装置 100～300においては、いわゆるSOI構造を採用することにより、接合容量を小さくして、半導体回路の演算処理の高速化を図っている。また、ラッチアップフリーであることから、nMOS/pMOSトランジスタの間隔を最小限にすることができる。さらに、サブスレッショルド特性が良いため、低電圧動作に対しても有利である。

【0049】

しかし、電界効果トランジスタのボディ領域 19は、フローティング状態にあるため、ボディ領域 19に注入されたホットキャリアによる発熱が問題になると考えられる。そこで、以下に示す実施の形態4～6においては、この発熱の問題を解決するために、上記実施の形態1に示す半導体装置 100の構造を基本とし

て、新たな構造を開示している。なお、説明の便宜上、半導体装置100の構造を基本構造としているが、実施の形態2に示す半導体装置200、および、実施の形態3に示す半導体装置300に適用することも可能である。

【0050】

（実施の形態4）

図16から図18を参照して、実施の形態4における半導体装置400およびその製造方法について説明する。なお、図16は、本実施の形態における半導体装置400の構造を示す断面図であり、図17は、本実施の形態における半導体装置400の部分拡大平面図であり、図18は、本実施の形態における半導体装置400の製造方法を示す、製造工程断面図である。なお、上記の説明において、上記実施の形態1に示す半導体装置100と同一または相当部分については、同一の参照符号を付すことにより重複する説明は繰返さず、本実施の形態の特徴的部分についてのみ詳細に説明する。

【0051】

（半導体装置400の構造）

図16および図17を参照して、本実施の形態における半導体装置400は、基本的構造は上記実施の形態1において示した半導体装置100と同じであり、相違点は、チャンネル層16と第2絶縁層14との間において、第2絶縁層14の上に電源層41が設けられ、この電源層41の上に第3絶縁層42が設けられており、さらに、図17に示すように、ボディ領域19と電源層41とがチャンネル部でない領域にコンタクト領域を設け、ボディ領域19と電源層41とがボディコンタクトプラグ43により接続されている。

【0052】

なお、コンタクトプラグ15a、15bと電源層41との間の導通を回避するために、コンタクトプラグ15a、15bを取囲むように絶縁層15c、15dが設けられている。

【0053】

（半導体装置400の製造方法）

次に、上記構成からなる半導体装置400の製造方法について、図18を参照

して説明する。シリコン基板 1 1 B を準備し、このシリコン基板 1 1 B の表面に、酸化膜からなる第 3 絶縁層 4 2 を形成する。その後、第 3 絶縁層 4 2 の所定領域に、ボディコンタクトプラグ 4 3 a, 4 3 b を形成する。その後、第 3 絶縁層 4 2 の表面に電源層 4 1 を形成し、さらに、電源層 4 1 の表面に第 2 絶縁層 1 4 を形成する。

【 0 0 5 4 】

次に、第 2 絶縁層 1 4、電源層 4 1、および第 3 絶縁層 4 2 を貫通し、シリコン基板 1 1 B の表面の所定領域に達し、絶縁層 1 5 c, 1 5 d に取囲まれたコンタクトプラグ 1 5 a, 1 5 b を形成する。その後、図 4 ～図 7 で示した工程を採用することにより、図 1 6 に示す半導体装置 4 0 0 が完成する。

【 0 0 5 5 】

(作用・効果)

以上、本実施の形態における半導体装置 4 0 0 の構成によれば、ボディ領域 1 9 が電源層 4 1 に接続される結果、ボディ領域 1 9 の電位を安定させることが可能になる。その結果、上記実施の形態 1 の半導体装置 1 0 0 によって得られる作用効果に加え、ボディ領域 1 9 に注入されたホットキャリアによる発熱の問題を回避することが可能になる。

【 0 0 5 6 】

なお、実施の形態 2 に示す半導体装置 2 0 0、および、実施の形態 3 に示す半導体装置 3 0 0 に適用することによっても、同様の作用効果をさらに得ることが可能である。

【 0 0 5 7 】

(実施の形態 5)

図 1 9 ～図 2 1 を参照して、実施の形態 5 における半導体装置 5 0 0 およびその製造方法について説明する。なお、図 1 9 は、本実施の形態における半導体装置 5 0 0 の構造を示す断面図であり、図 2 0 および図 2 1 は、本実施の形態における半導体装置 5 0 0 の製造方法を示す、第 1 および第 2 製造工程断面図である。なお、上記の説明において、上記実施の形態 1 に示す半導体装置 1 0 0、および上記実施の形態 4 に示す半導体装置 4 0 0 と同一または相当部分については、

同一の参照符号を付すことにより重複する説明は繰返さず、本実施の形態の特徴的部分についてのみ詳細に説明する。

【 0 0 5 8 】

(半導体装置 5 0 0 の構造)

図 1 9 を参照して、本実施の形態における半導体装置 4 0 0 は、基本的構造は上記実施の形態 4 において示した半導体装置 4 0 0 と同じであり、相違点は、ボディ領域 1 9 に下方領域には、第 3 絶縁層 4 2 の絶縁領域を設けることなく、第 3 絶縁層 4 2 にボディコンタクト領域 5 1 a, 5 1 b を設け、ボディ領域 1 9 の全体が、電源層 4 1 と直接接触するように構成したものである。

【 0 0 5 9 】

(半導体装置 5 0 0 の製造方法)

次に、上記構成からなる半導体装置 4 0 0 の製造方法について、図 2 0 および図 2 1 を参照して説明する。

【 0 0 6 0 】

図 2 0 を参照して、シリコン基板 1 1 B を準備し、このシリコン基板 1 1 B の上方にボディコンタクト領域 5 1 a, 5 1 b となる領域を覆うマスク 5 2 を設け、シリコン基板 1 1 B の表面に、酸化膜からなる第 3 絶縁層 4 2 を形成する。これにより、第 3 絶縁層 4 2 の所定領域にボディコンタクト領域 5 1 a, 5 1 b が形成される。その後、第 3 絶縁層 4 2 の表面に電源層 4 1 を形成し、さらに、電源層 4 1 の表面に第 2 絶縁層 1 4 を形成する。

【 0 0 6 1 】

図 2 1 を参照して、第 2 絶縁層 1 4、電源層 4 1、および第 3 絶縁層 4 2 を貫通し、シリコン基板 1 1 B の表面の所定領域に達し、絶縁層 1 5 c, 1 5 d に取囲まれたコンタクト領域 1 5 a, 1 5 b を形成する。その後、図 4 ～図 7 で示した工程を採用することにより、図 1 9 に示す半導体装置 5 0 0 が完成する。

【 0 0 6 2 】

(作用・効果)

以上、本実施の形態における半導体装置 5 0 0 の構成によっても、ボディ領域 1 9 の電位を安定させることが可能になり、上記実施の形態 4 と同様の作用効果

を得ることが可能になる。また、ボディ領域 19 の真下領域にボディコンタクト領域 51 a, 51 b が設けられるため、半導体装置のレイアウト面積の増大を招くことがない。

【0063】

（実施の形態 6）

図 22 を参照して、実施の形態 6 における半導体装置 600 について説明する。なお、図 22 は、本実施の形態における半導体装置 600 の構造を示す断面図である。なお、上記の説明において、上記実施の形態 1 に示す半導体装置 100、および上記実施の形態 5 に示す半導体装置 500 と同一または相当部分については、同一の参照符号を付すことにより重複する説明は繰返さず、本実施の形態の特徴的部分についてのみ詳細に説明する。

【0064】

（半導体装置 600 の構造）

図 22 を参照して、本実施の形態における半導体装置 600 は、基本的構造は上記実施の形態 4 において示した半導体装置 400 と同じであり、相違点は、ボディ領域 19 に下方領域において第 3 絶縁層 42 を貫通するボディコンタクト領域 51 c, 51 が、上記図 20 に示す工程において、マスク 52 の幅が、写真製版技術における最小寸法幅により形成されていることを特徴としている。本実施の形態におけるボディコンタクト領域 51 c, 51 の幅は、約 0.1 μ m 程度である。

【0065】

上記構成からなる半導体装置 600 の製造方法については、上記実施の形態 5 において説明した半導体装置 500 の製造方法と同様にして製造することが可能である。

【0066】

（作用・効果）

以上、本実施の形態における半導体装置 600 の構成によっても、ボディ領域 19 の電位を安定させることが可能になり、上記実施の形態 5 と同様の作用効果を得ることが可能になる。

【 0 0 6 7 】

なお、上記実施の形態 4 ～ 6 の構成は、実施の形態 1 に示す半導体装置 1 0 0 への適用に限定されず、実施の形態 2 に示す半導体装置 2 0 0、および、実施の形態 3 に示す半導体装置 3 0 0 に適用することによっても、同様の作用効果をさらに得ることが可能である。

【 0 0 6 8 】

また、近年の多ビット化に伴い、データバスの配線面積が大きくなる傾向にある。また、データバスのような信号の配線は、隣の配線とのデータ干渉の影響が大きいと考えられる。このような、配線面積が大きく、データ干渉の影響を受けやすい配線の配線領域を S O I トランジスタ下の埋め込み酸化膜下に構成し、かつ、その配線層領域のデータバス配線間に、シールドされた電源電位配線を形成する。

【 0 0 6 9 】

この構成により、半導体装置の面積を増大させることなく、十分なシールドを実現させることが可能になる。また、上記実施の形態 1 ～ 6 に示す構成と組み合わせることも可能である。

【 0 0 7 0 】

なお、上述した各実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 7 1 】

【発明の効果】

本発明に基づいた半導体装置によれば、電源電位領域と接地電位領域との間に、寄生容量（カップリングコンデンサ）を形成させることが可能になる。その結果、外乱因子に対して、この寄生容量をデカップリングコンデンサとして機能させることが可能になり、さらなる電源供給の安定化を図ることが可能になる。

【図面の簡単な説明】

【図 1】 実施の形態 1 における半導体装置の構造を示す断面図である。

【図 2】 図 1 中 I I - I I 線矢視断面図である。

【図 3】 実施の形態 1 における半導体装置の製造方法を示す、第 1 製造工程を示す製造工程断面図である。

【図 4】 実施の形態 1 における半導体装置の製造方法を示す、第 2 製造工程を示す製造工程断面図である。

【図 5】 実施の形態 1 における半導体装置の製造方法を示す、第 3 製造工程を示す製造工程断面図である。

【図 6】 実施の形態 1 における半導体装置の製造方法を示す、第 4 製造工程を示す製造工程断面図である。

【図 7】 実施の形態 1 における半導体装置の製造方法を示す、第 5 製造工程を示す製造工程断面図である。

【図 8】 実施の形態 2 における半導体装置の構造を示す断面図である。

【図 9】 図 8 中 I X - I X 線矢視断面図である。

【図 1 0】 実施の形態 2 における半導体装置の製造方法を示す、第 1 製造工程を示す製造工程断面図である。

【図 1 1】 実施の形態 2 における半導体装置の製造方法を示す、第 2 製造工程を示す製造工程断面図である。

【図 1 2】 実施の形態 2 における半導体装置の製造方法を示す、第 3 製造工程を示す製造工程断面図である。

【図 1 3】 実施の形態 2 における半導体装置の製造方法を示す、第 4 製造工程を示す製造工程断面図である。

【図 1 4】 実施の形態 3 における半導体装置の構造を示す断面図である。

【図 1 5】 図 1 4 中 X V - X V 線矢視断面図である。

【図 1 6】 実施の形態 4 における半導体装置の構造を示す断面図である。

【図 1 7】 実施の形態 4 における半導体装置の部分拡大平面図である。

【図 1 8】 実施の形態 4 における半導体装置の製造方法を示す、製造工程断面図である。

【図 1 9】 実施の形態 5 における半導体装置の構造を示す断面図である。

【図 2 0】 実施の形態 5 における半導体装置の製造方法を示す、第 1 製造

工程を示す製造工程断面図である。

【図 2 1】 実施の形態 5 における半導体装置の製造方法を示す、第 2 製造工程を示す製造工程断面図である。

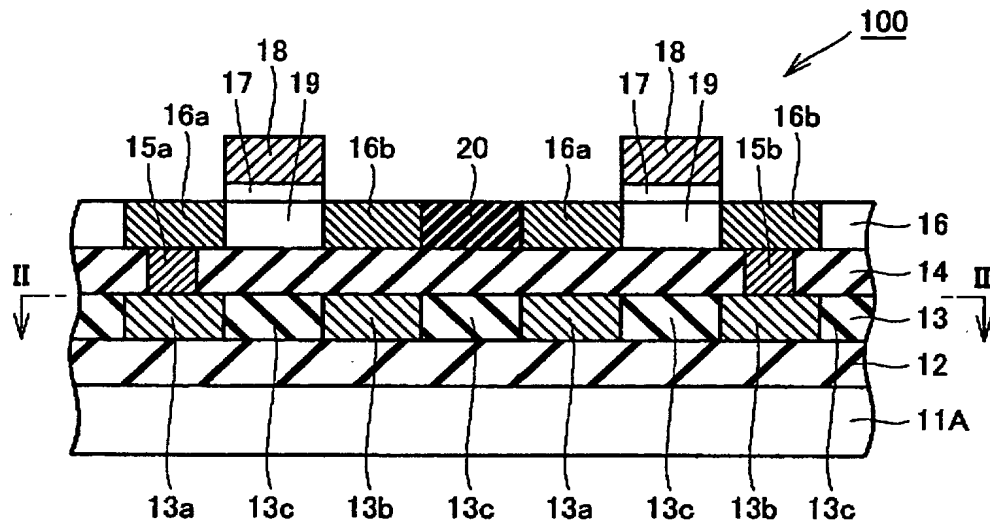
【図 2 2】 実施の形態 6 における半導体装置の構造を示す断面図である。

【符号の説明】

1 1 A, 1 1 B シリコン (S i) 基板、1 2 第 1 絶縁層、1 3 電位配線層、1 3 A 第 1 電位配線層、1 3 B 第 2 電位配線層、1 3 a 電源電位領域、1 3 b 接地電位領域、1 4 第 2 絶縁層、1 5 a, 1 5 b コンタクトプラグ、1 6 チャンネル層、1 7 ゲート絶縁膜、1 8 ゲート電極、1 9 ボディ領域、2 0 分離領域、2 1 誘電体層、3 1 コンタクトプラグ、4 1 電源層、4 2 第 3 絶縁層、4 3 ボディコンタクトプラグ、5 1 a, 5 1 b, 5 1 c, 5 1 d ボディコンタクト領域、1 0 0, 2 0 0, 3 0 0, 4 0 0, 5 0 0, 6 0 0 半導体装置、C カップリングコンデンサ。

【書類名】 図面

【図 1】

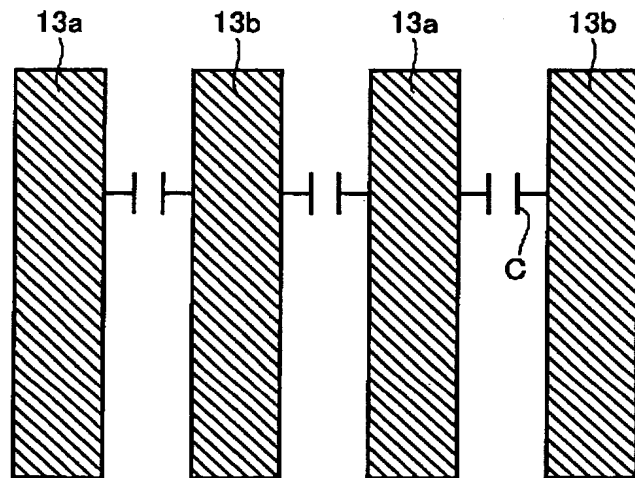


11A: Si基板
12: 第1絶縁層
13: 電位配線層
13a: 電源電位領域
13b: 接地電位領域
13c: 層間絶縁層

14: 第2絶縁層
15a: コンタクトプラグ
15b: コンタクトプラグ
16: チャンネル層
16a: S/D領域

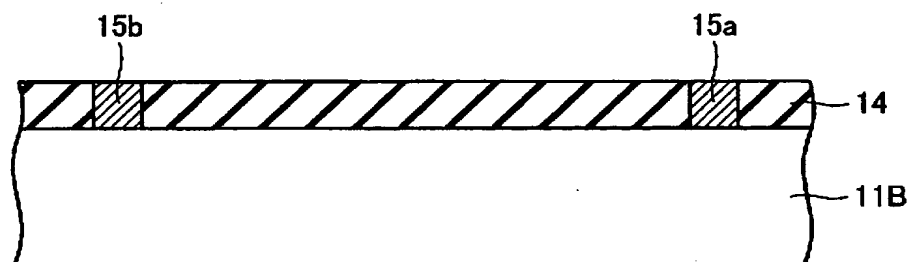
16b: S/D領域
17: ゲート絶縁膜
18: ゲート電極
19: ボディ領域
20: 分離領域
100: 半導体装置

【図 2】

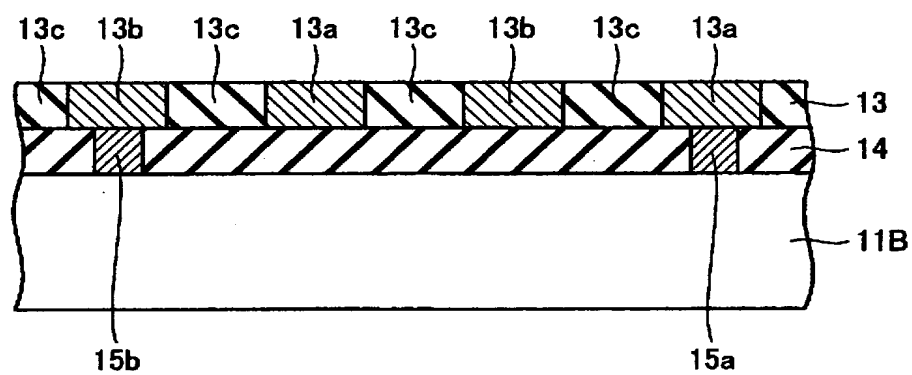


C: カップリングコンデンサ

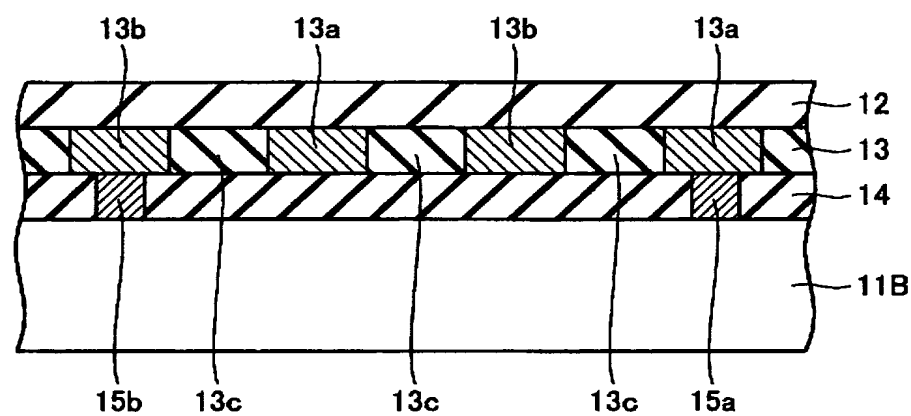
【図 3】



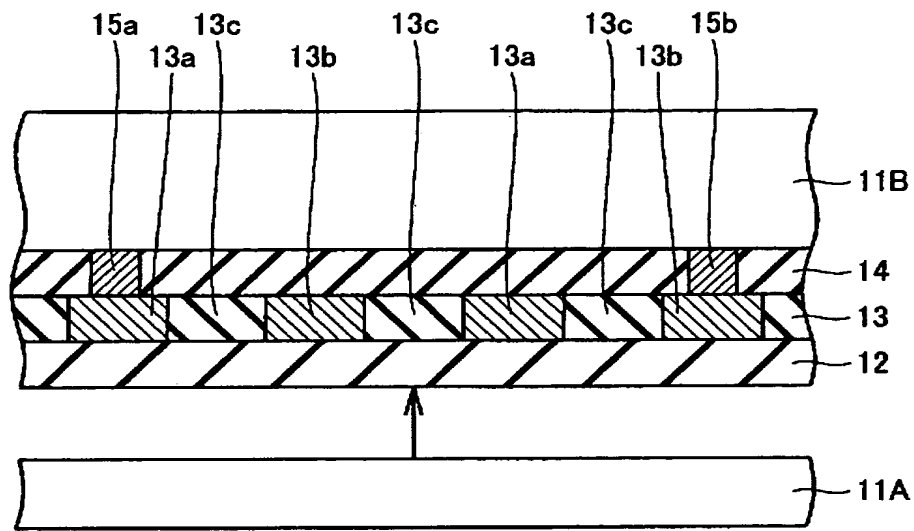
【図 4】



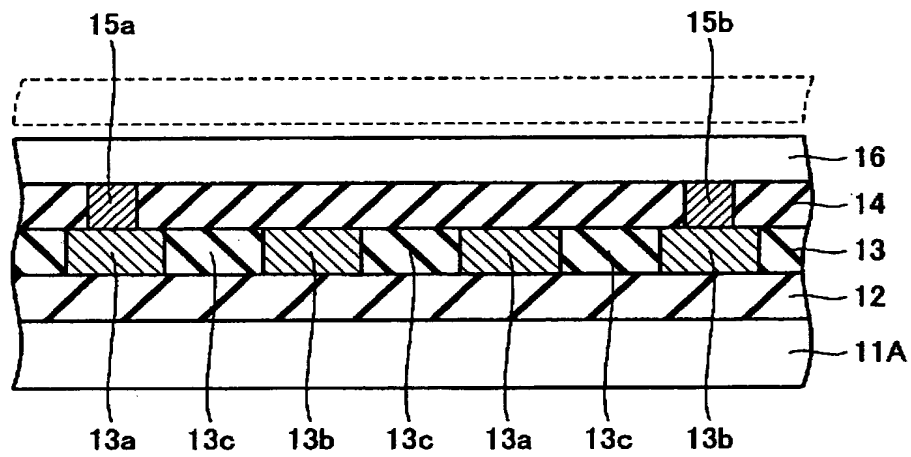
【図 5】



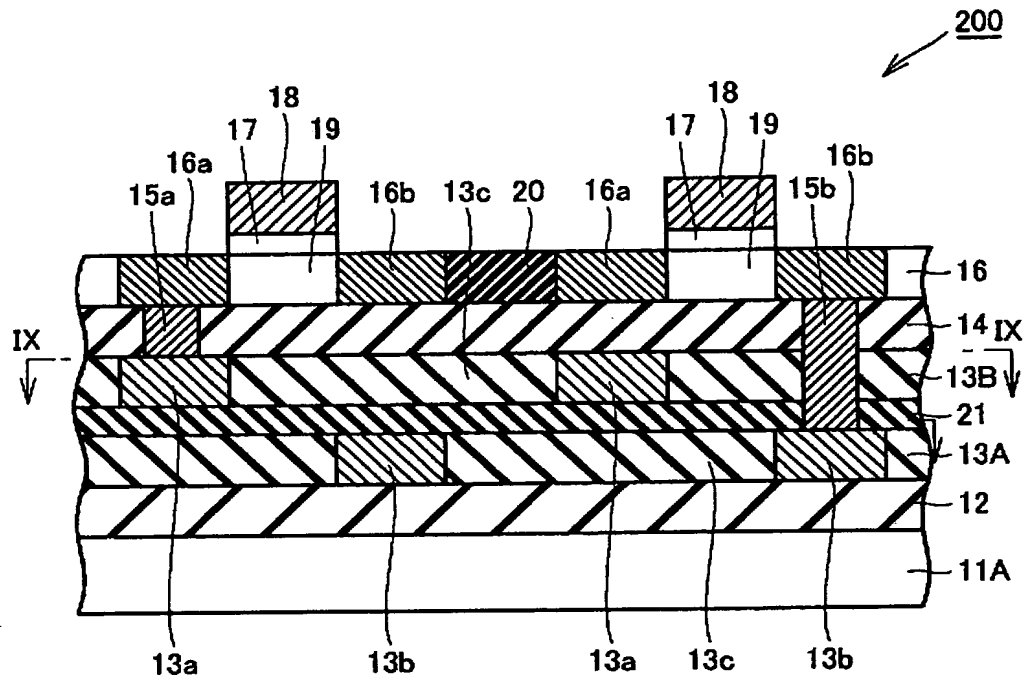
【図 6】



【図 7】

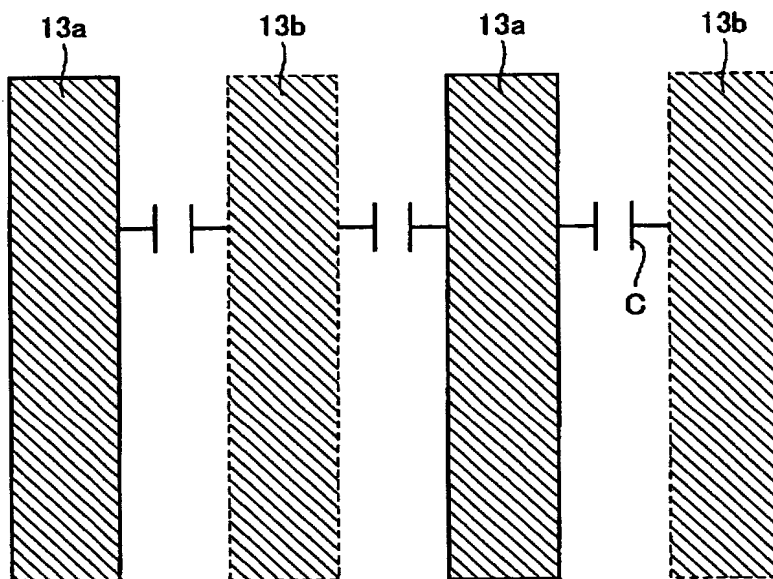


【図 8】

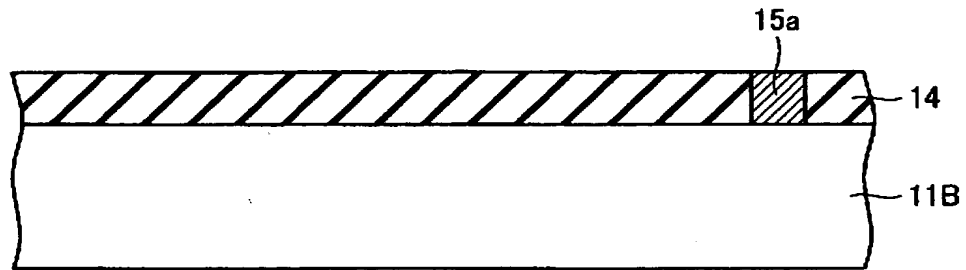


21:誘電体層

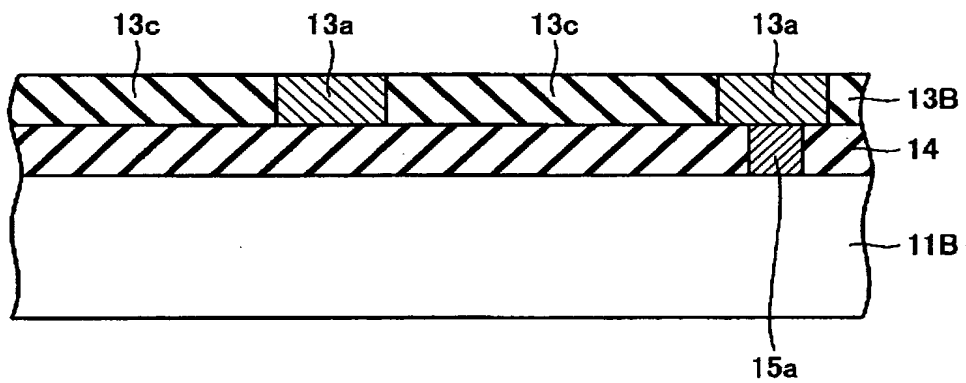
【図 9】



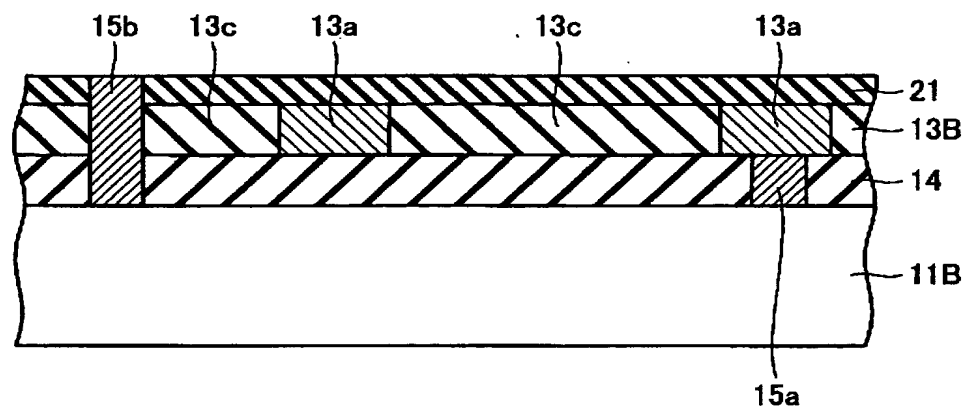
【図 1 0】



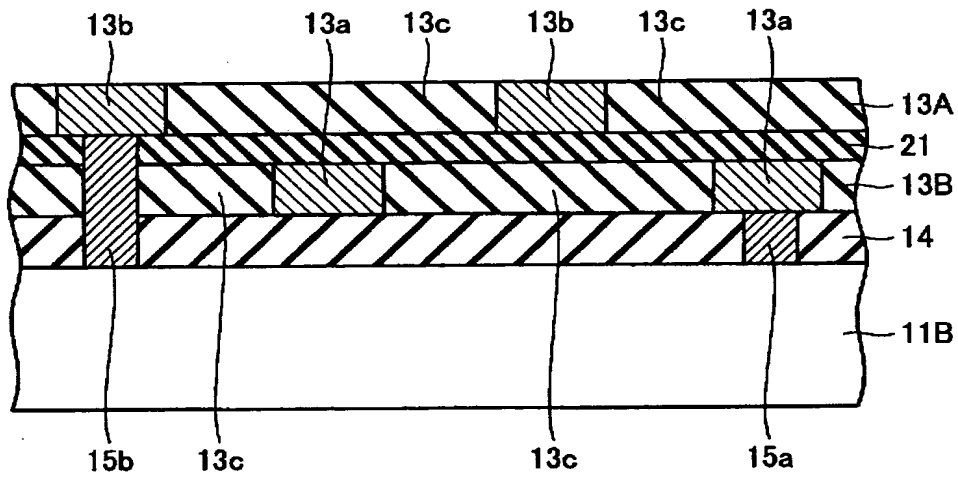
【図 1 1】



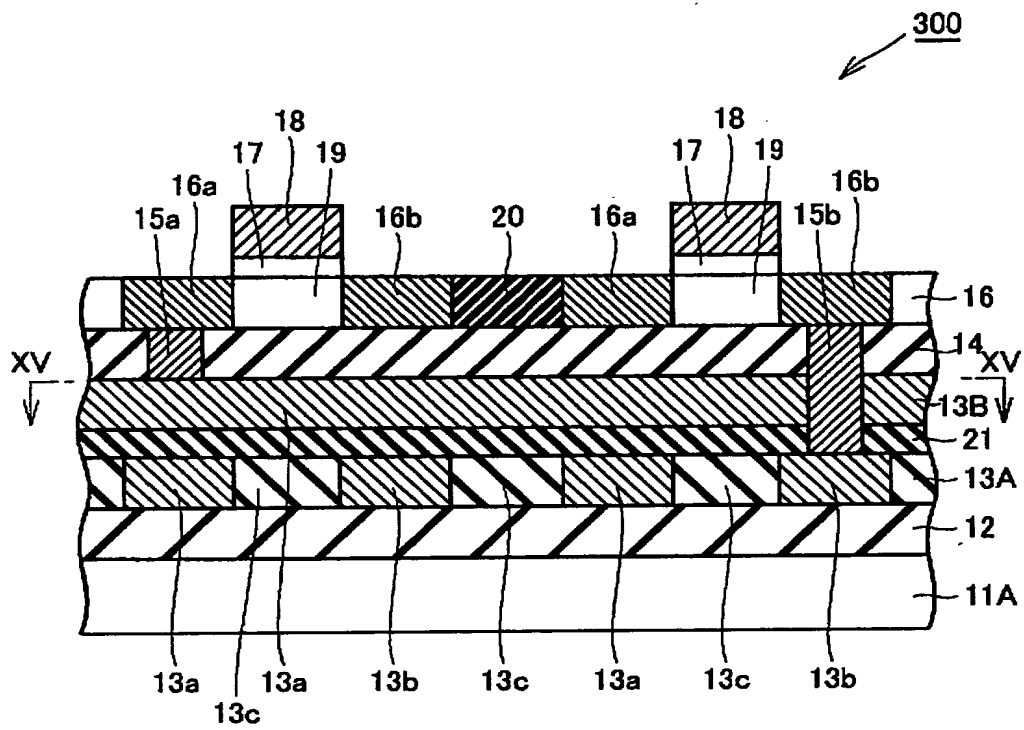
【図 1 2】



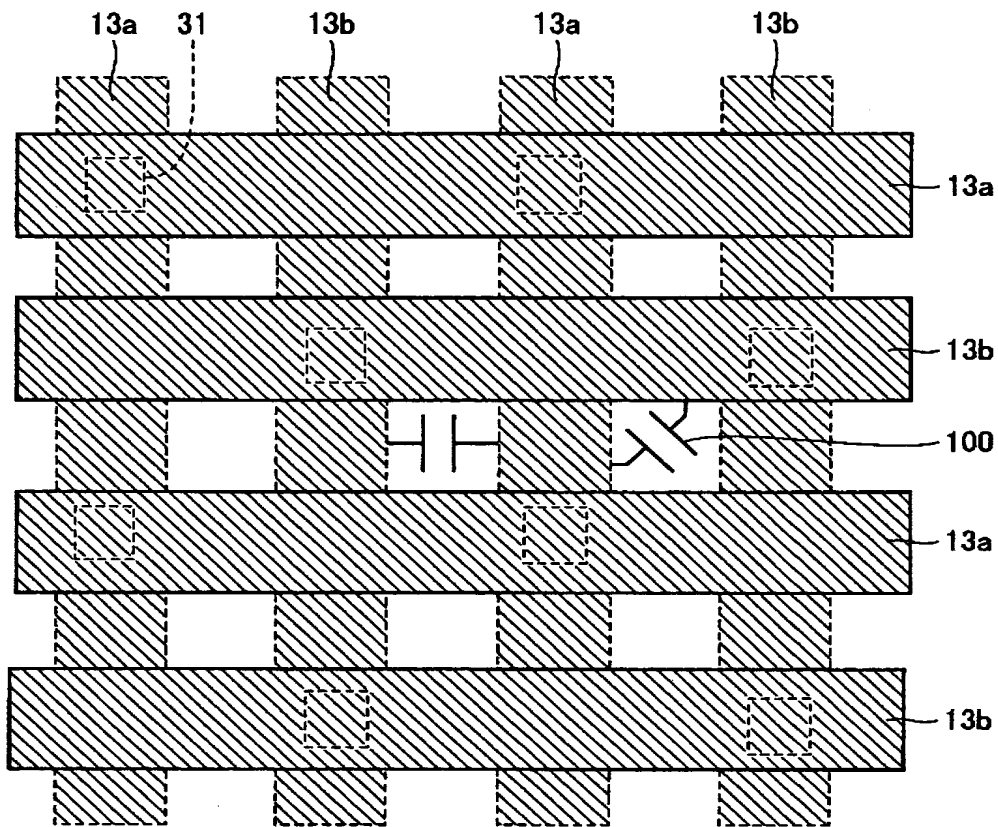
【図 13】



【図 14】

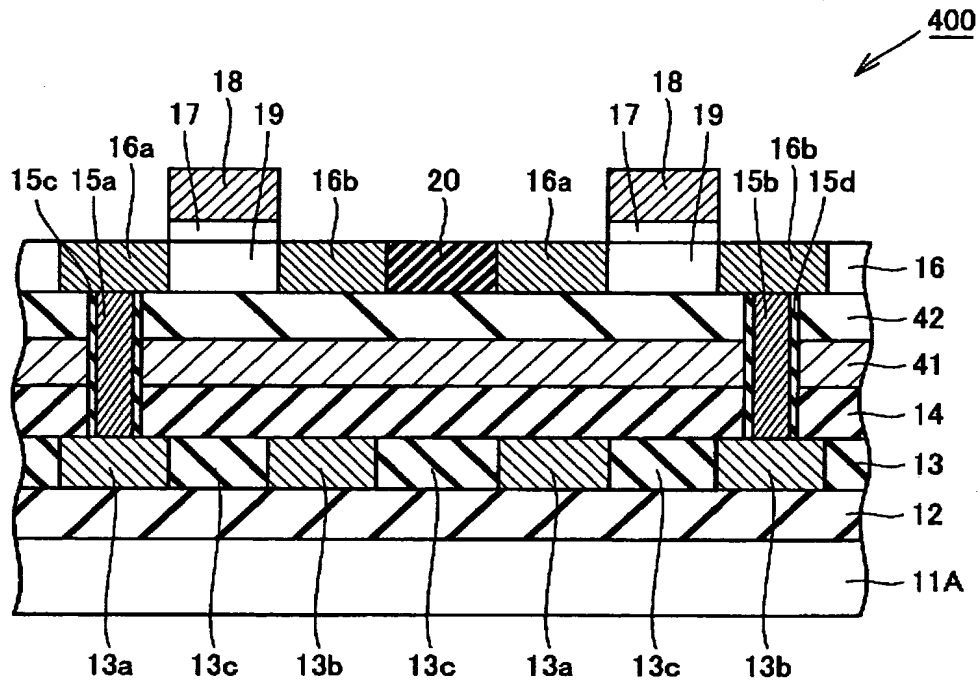


【図 1 5】



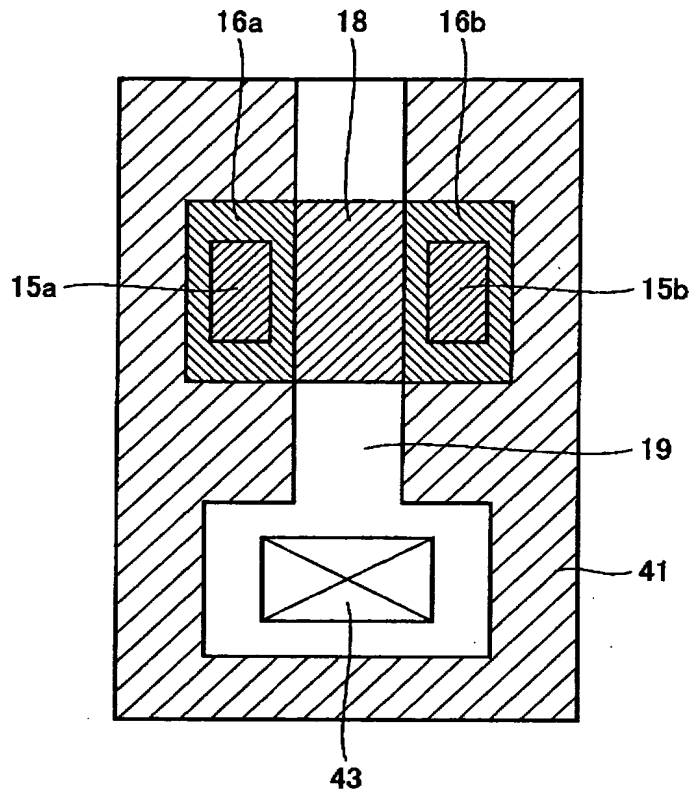
31:コンタクトプラグ

【図 1 6】



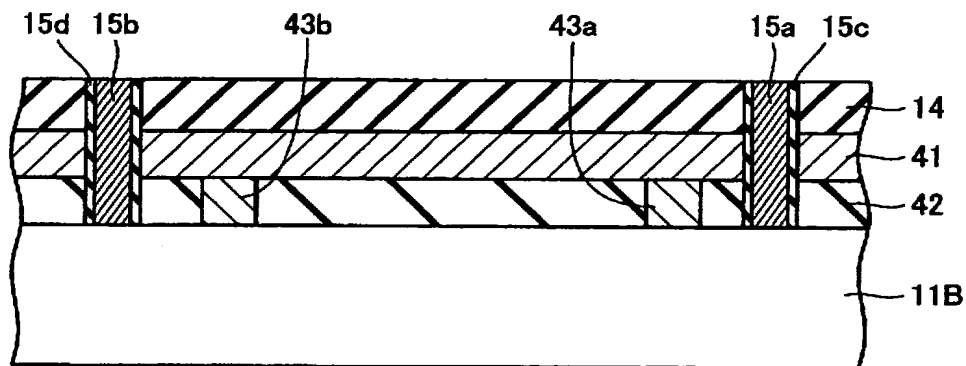
41: 電源層 42: 第3絶縁層

【図 1 7】

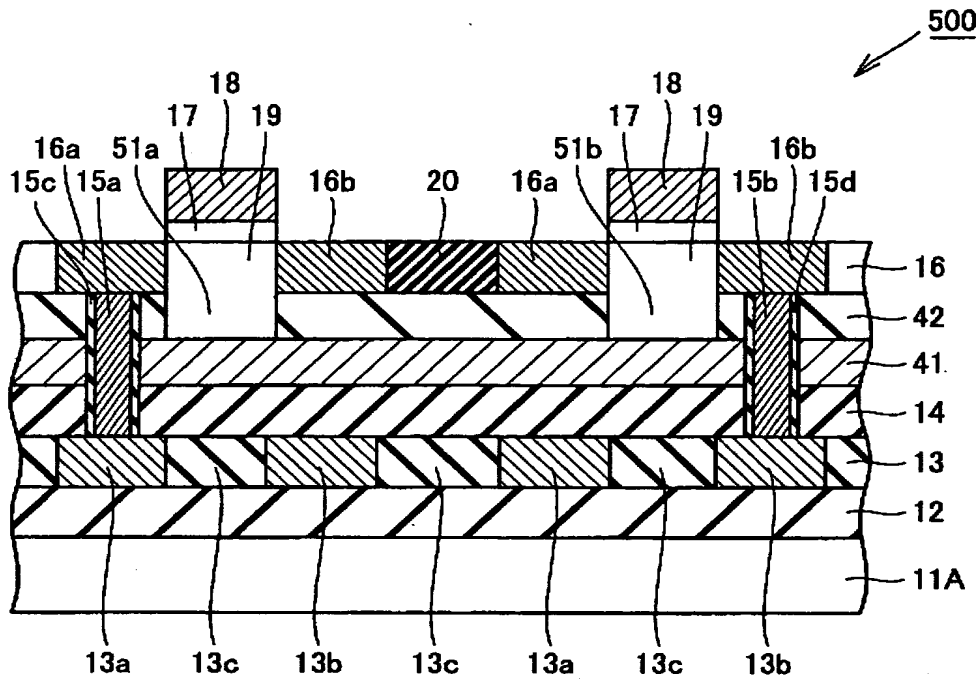


43: ボディコンタクトプラグ

【図 1 8】

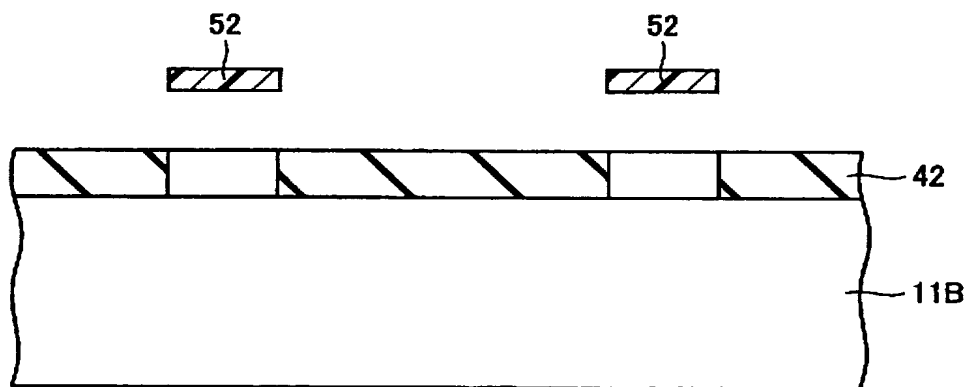


【図 1 9】



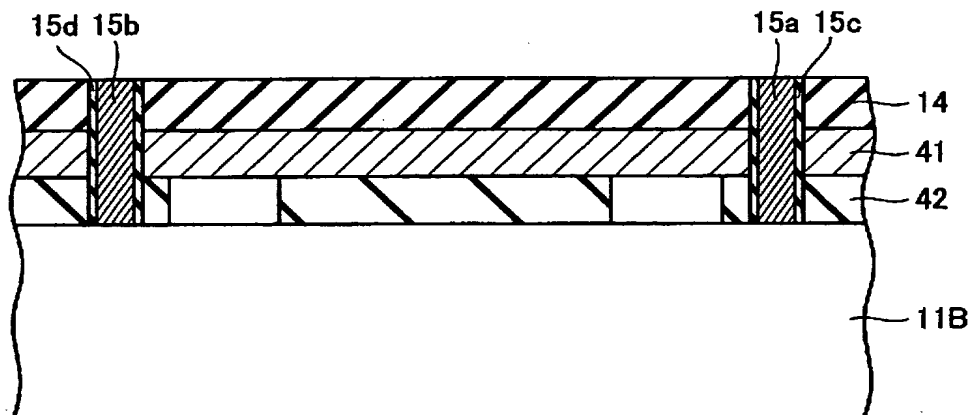
51a: ボディコンタクト領域 51b: ボディコンタクト領域

【図 2 0】

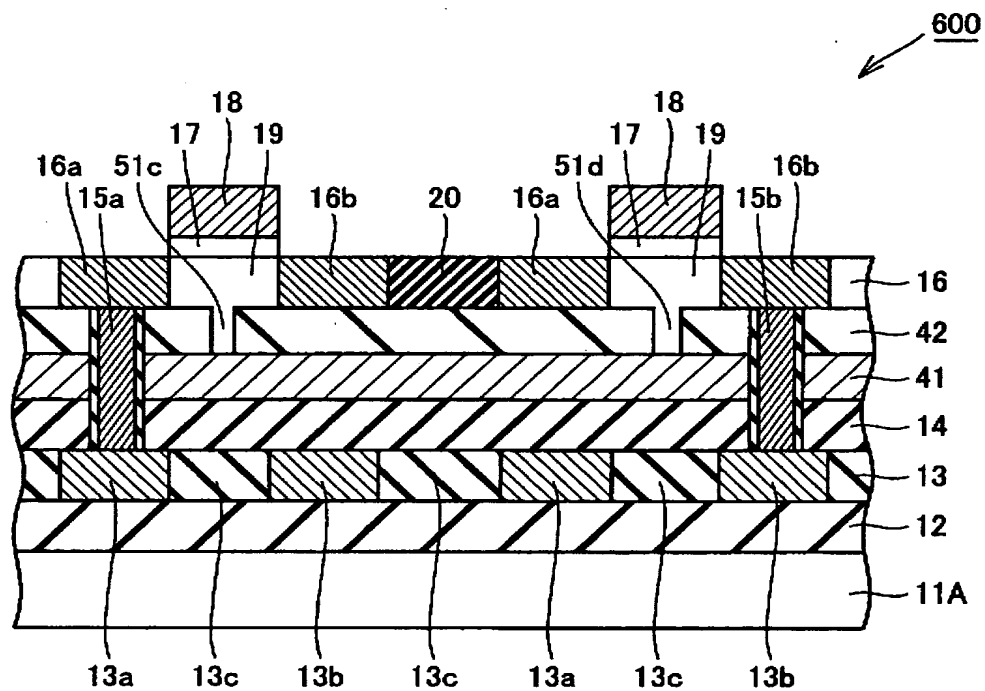


52: マスク

【図 2 1】



【図 2 2】



51c: ボディコンタクト領域 51d: ボディコンタクト領域

【書類名】 要約書

【要約】

【課題】 複数の半導体回路を備える半導体装置において、半導体装置の断面構造に関係なく、電源電位および接地電位の強化を可能とする、半導体装置を提供する。

【解決手段】 電位配線層 1 3 には、平面的に見て層間絶縁層 1 3 c を介在させながら、それぞれ交互に配設される電源電位領域 1 3 a および接地電位領域 1 3 b が複数設けられている。選択された電界効果トランジスタの一方のソース／ドレイン（S／D）領域 1 6 a と、選択された電源電位領域 1 3 a とを電氣的に接続するために、第 2 絶縁層 1 4 を貫通するコンタクトプラグ 1 5 a が設けられ、選択された電界効果トランジスタの他方のソース／ドレイン（S／D）領域 1 6 b と、選択された接地電位領域 1 3 b とを電氣的に接続するために、第 2 絶縁層 1 4 を貫通するコンタクトプラグ 1 5 b が設けられている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ